

87117701

「台湾、中国出願用明細書」

「アンダーラインは、国内出願明細書との相違点である」

【書類名】 明細書

【発明の名称】 クロック生成回路及びクロック生成方法

【特許請求の範囲】

【請求項1】 入力クロックの周波数を遅倍して、遅倍クロックを生成する遅倍手段と、

上記入力クロックと分周クロックとの間の位相差を検出し、上記遅倍手段により生成された遅倍クロックの位相を上記位相差に対応する分量だけ遅延して、位相が上記入力クロックの位相に一致する位相同期クロックを生成する位相同期手段と、

上記位相同期クロックのうち、特定のパルスを固定周期毎に検出し、そのパルスを基準にして上記位相同期クロックを分周し、上記分周クロックを生成する分周手段と

を備えたクロック生成回路。

【請求項2】 上記分周手段は、上記入力パルスの固定周期毎に上記特定のパルスを検出し、この特定のパルスは上記入力パルスの立ち下がりエッジの直前の上記位相同期パルスであることを特徴とする請求項1記載のクロック生成回路。

【請求項3】 上記分周手段は、上記位相同期クロックを分周する分周回路と、この位相同期クロックに上記分周回路の遅延を付加する遅延付加手段とを備えた請求項1記載のクロック生成回路。

【請求項4】 上記分周手段は、上記分周回路により生成された分周クロック又は遅延付加手段により遅延が付加された位相同期クロックの何れか一方を上記分周手段の出力として選択する選択手段を設けたことを特徴とする請求項3記載のクロック生成回路。

【請求項5】 上記遅倍手段は、遅倍数切替信号にしたがって上記遅倍クロックの遅倍数を切り替えることを特徴とする請求項1記載のクロック生成回路。

【請求項6】 上記遅倍手段は、

上記遅倍クロックを生成するリングオシレータと、  
上記遅倍クロックのパルス数をカウントするカウンタと、  
そのパルス数が遅倍数に一致すると、上記リングオシレータにおける遅倍クロックの生成処理を停止する停止回路と  
を具備することを特徴とする請求項5記載のクロック生成回路。

【請求項7】 n、mを1より大きい自然数として、上記遅倍手段はn遅倍クロックを生成し、上記分周手段はn遅倍クロックをm分周することを特徴とする請求項6記載のクロック生成回路。

【請求項8】 上記リングオシレータは、ゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整することを特徴とする請求項7記載のクロック生成回路。

【請求項9】 上記リングオシレータは、バックゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整することを特徴とする請求項7記載のクロック生成回路。

【請求項10】 位相同期手段は、ゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整することを特徴とする請求項1から請求項9のうちのいずれか1項記載のクロック生成回路。

【請求項11】 位相同期手段は、バックゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整することを特徴とする請求項1から請求項9のうちのいずれか1項記載のクロック生成回路。

【請求項12】 (a) 入力クロックの周波数を遅倍して、遅倍クロックを生成するステップと、

(b) 上記入力クロックと分周クロックとの間の位相差を検出し、上記遅倍クロックの位相を上記位相差に対応する分量だけ遅延して、位相が上記入力クロックの位相に一致する位相同期クロックを生成するステップと、

(c) 上記位相同期クロックのうち、特定のパルスを固定周期毎に検出し、そのパルスを基準にして上記位相同期クロックを分周し、上記分周クロックを生

成するステップと

を備えたクロック生成方法。

【請求項13】 上記ステップ(c)は、上記入力パルスの固定周期毎に上記特定のパルスを検出し、この特定のパルスは上記入力パルスの立ち下がりエッジの直前の上記位相同期パルスであることを特徴とする請求項12記載のクロック生成方法。

【請求項14】 上記ステップ(a)は、逓倍数切替信号にしたがって上記逓倍クロックの逓倍数を切り替えることを特徴とする請求項12または13記載のクロック生成方法。

#### 【発明の詳細な説明】

##### 【発明の属する技術分野】

この発明は、入力クロックと同周期の分周クロック又は逓倍クロックを生成するクロック生成回路及びクロック生成方法に関するものである。

##### 【従来の技術】

図1-0は例えば信学技報 Vol. 97, No 106 (1997年6月発行)の第29頁～第36頁に示された従来のクロック生成回路を示す構成図であり、図において、1は入力クロックの周波数を逓倍して、逓倍クロックを生成する逓倍回路、2は逓倍クロックを遅延するデジタルディレイライン3を用いて構成されたリングオシレータ、3はリングオシレータ2のデジタルディレイライン、4はデジタルディレイライン3の遅延時間を設定するカウンタ、5は入力クロックの位相とドライバ9から出力されたフィードバッククロックの位相を比較し、その位相差に応じてカウンタ7のカウンタ値を更新する位相比較器、6は逓倍回路1により生成された逓倍クロックを遅延し、フィードバッククロックの位相を入力クロックの位相に一致させるとともに、遅延後の逓倍クロックをP.L.L出力する位相同期回路、7は位相同期回路6のカウンタ、8はカウンタ7のカウンタ値に対応する遅延時間が設定され、逓倍回路1により生成された逓倍クロックを遅延するデジタルディレイラインであり、デジタルディレイライン8は複数のdelay素子とデコーダから構成される。9は位相同期回路6から出力されたP.L.L出力をフィードバッククロックとして位相比較器5に出力するドライバ、1

- 4 -

0は位相同期回路6から出力されたPLL出力を各ブロックに供給するドライバである。

次に動作について説明する。

まず、クロック生成回路（以下、「PLL（Phase Locked Loop）」と称する）は、入力クロックに同期した同期回路のクロック又は倍クロックを生成する回路であり、最近のマイクロプロセッサは数十から数百MHzの非常に高速なクロックで動作するため、PLLの内蔵は必須となっている。

従来のPLLは、電圧制御発振器VCOの制御電圧を保持するキャパシタの電圧をチャージポンプを用いてコントロールすることにより、発振周波数を制御するアナログ型のPLLが採用されていた。

しかし、アナログ型のPLLは、低電圧の制御が困難であるとともに、ノイズに弱く、また、動作が安定するまでに要する時間（ロック時間）が長いため、一旦入力クロックが止まることによりPLLの発振が止まると、再び動作するまでに長時間を要する等の課題があった。

そこで、図10の従来例では、かかる課題を解決するため、デジタルディレイラインを用いてPLLを構成するようにしている。

具体的には、まず、PLLが入力クロックを受けると、倍回路1のデジタルディレイライン3が、入力クロックの周波数を倍して、各ブロックに供給する倍クロックを生成するが（PLL出力）、その倍クロックの位相を入力クロックの位相に一致させる必要があるため、位相比較器5及び位相同期回路6が下記に示す位相同期処理を実施する。

即ち、位相比較器5は、倍回路1により生成された倍クロックの位相とドライバ9から出力されたフィードバッククロック（PLL出力に相当）の位相を比較し、その位相差が許容範囲内にあるか否かを判断する。

そして、その位相差が許容範囲内にあれば、その倍クロックの位相が入力クロックの位相に一致しているものと判断し、位相同期回路6におけるカウンタ7のカウンタ値を維持するが（位相同期回路6の遅延時間を維持する）、その位相差が許容範囲を逸脱している場合には、その倍クロックの位相が入力クロックの位相に一致していないものと判断し、カウンタ7のカウンタ値を位相差に応じ

- 5 -

て更新し（カウンタ値をアップ又はダウントする）、位相同期回路6の遅延時間を調整する。

このようにして、カウンタ7のカウンタ値が設定されると、位相同期回路6のデジタルディレイライン8が、カウンタ7のカウンタ値に応じて遅倍クロックを遅延して、遅延後の遅倍クロックをPLL出力としてドライバ9、10に出力するが、デジタルディレイライン8は、図11に示すように、最終的にはフィードバッククロックの立ち上がりエッジと入力クロックの立ち上がりエッジを一致させるため、入力クロックの立ち上がりエッジからみて、1つ前の遅倍クロックの立ち上がりエッジを遅延させるようにしている。

従って、デジタルディレイライン8の最大遅延時間は、遅倍クロックの一周期分の時間に相当し、リンクオシレータ2を構成する遅倍回路1のデジタルディレイライン9の最大遅延時間は、遅倍クロックの半周期分の時間に相当する。

ただし、デジタルディレイライン8の最大遅延時間は、遅倍クロックの周期に依存するが、例えば、消費電力を低減するため、遅倍数が1のPLL出力を生成する場合（入力クロックの周期とPLL出力の周期が同一の場合）、デジタルディレイライン8の最大遅延時間は、PLL出力の一周期分の時間に相当し、デジタルディレイライン8のdelay素子数は、遅倍数が4の場合に比べて4倍になる。

#### 【発明が解決しようとする課題】

従来のクロック生成回路は以上のように構成されているので、遅倍クロックの遅倍数を小さくすると、その分だけデジタルディレイライン8の最大遅延時間を長くしなければならず、多数のdelay素子とデコーダを設置する必要が生じるが、delay素子とデコーダは占有面積が大きいため、遅倍クロックの遅倍数を小さくすると、回路規模が大きくなり、ひいてはチップのコストアップを招く課題があった。

また、遅倍クロックの遅倍数は固定的に使用されるため、一旦、チップを生成すると遅倍数を容易に変更することができない課題もあった。

この発明は上記のような課題を解決するためになされたもので、delay素子等の増加を招くことなく、遅倍数の小さなPLL出力を生成できる、いいかえ

れば、出力クロックの周波数を下げることができるクロック生成回路及びクロック生成方法を得ることを目的とする。

また、この発明は、出力クロックの周波数を必要に応じて変更することができるクロック生成回路及びクロック生成方法を得ることを目的とする。

#### 【課題を解決するための手段】

本発明によれば、第1に、入力クロックの周波数を遅倍して、遅倍クロックを生成する遅倍手段と、上記入力クロックと分周クロックとの間の位相差を検出し、上記遅倍手段により生成された遅倍クロックの位相を上記位相差に対応する分母だけ遅延して、位相が上記入力クロックの位相に一致する位相同期クロックを生成する位相同期手段と、上記位相同期クロックのうち、特定のパルスを固定周期毎に検出し、そのパルスを基準にして上記位相同期クロックを分周し、上記分周クロックを生成する分周手段とを備えたクロック生成回路が提供される。

ここで、上記分周手段は、上記入力パルスの固定周期毎に上記特定のパルスを検出し、この特定のパルスは上記入力パルスの立ち下がりエッジの直前の上記位相同期パルスであってもよい。

上記分周手段は、上記位相同期クロックを分周する分周回路と、この位相同期クロックに上記分周回路の遅延を付加する遅延付加手段とを備えてもよい。

上記分周手段は、上記分周回路により生成された分周クロック又は遅延付加手段により遅延が付加された位相同期クロックの何れか一方を上記分周手段の出力として選択する選択手段を有してもよい。

上記遅倍手段は、遅倍数切替信号にしたがって上記遅倍クロックの遅倍数を切り替えてもよい。

上記遅倍手段は、上記遅倍クロックを生成するリングオシレータと、上記遅倍クロックのパルス数をカウントするカウンタと、そのパルス数が遅倍数に一致すると、上記リングオシレータにおける遅倍クロックの生成処理を停止する停止回路とを具備してもよい。

n、mを1より大きい自然数として、上記遅倍手段はn遅倍クロックを生成し、上記分周手段はn遅倍クロックをm分周してもよい。

上記リングオシレータは、ゲート電圧が変化すると電流が変化するトランジス

タから構成されたデジタルディレイラインを用いて遅延時間を調整してもよい。

上記リングオシレータは、バックゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整してもよい。

位相同期手段は、ゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整してもよい。

位相同期手段は、バックゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整してもよい。

本発明によれば、第2に、(a) 入力クロックの周波数を遙倍して、遙倍クロックを生成するステップと、(b) 上記入力クロックと分周クロックとの間の位相差を検出し、上記遙倍クロックの位相を上記位相差に対応する分量だけ遅延して、位相が上記入力クロックの位相に一致する位相同期クロックを生成するステップと、(c) 上記位相同期クロックのうち、特定のパルスを固定周期毎に検出し、そのパルスを基準にして上記位相同期クロックを分周し、上記分周クロックを生成するステップとを備えたクロック生成方法が提供される。

ここで、上記ステップ(c)は、上記入力パルスの固定周期毎に上記特定のパルスを検出し、この特定のパルスは上記入力パルスの立ち下がりエッジの直前の上記位相同期パルスであってもよい。

上記ステップ(a)は、遙倍数切替信号にしたがって上記遙倍クロックの遙倍数を切り替えてよい。

#### 【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

##### 実施の形態1.

図1はこの発明の実施の形態1によるクロック生成回路を示す構成図であり、図において、1.1は入力クロックの周波数を遙倍して、遙倍クロックを生成する遙倍部(遙倍手段)、1.2は遙倍部1.1により生成された遙倍クロックの位相を遅延して、フィードバッククロック(分周クロックに相当する)の位相を入力クロックの位相に一致させる位相同期部(位相同期手段)、1.3は位相同期部1.2から出力された位相同期クロックのうち、入力クロックが立ち下がる直前の位相

同期クロックを検出すると、その検出時点を基準にして位相同期クロックを分周するとともに、分周クロックまたは位相同期クロックをフィードバッククロックとして位相同期部 1 2 に出力する分周回路（分周手段）である。

また、1 4 はセットリセット・フリップフロップ 1 6 から H レベルの DL-ACT が<sup>出力されると、入力クロックの立ち上がりエッジからみて 3 クロック目にパルス C 3 を出力し、4 クロック目にパルス C 4 を出力するパルスカウンタ、1 5 は遅倍数切替信号 X 3 CNT が H レベルの場合には、パルス C 3 を選択して出力し、遅倍数切替信号 X 3 CNT が L レベルの場合には、パルス C 4 を選択して出力する遅倍数切替回路、1 6 は入力クロックの立ち上がりエッジを検出すると、DL-ACT の信号レベルを H レベルに遷移する一方、遅倍数切替回路 1 5 からパルス C 3 又はパルス C 4 が出力されると、DL-ACT の信号レベルを L レベルに遷移するセットリセット・フリップフロップ、1 7 は入力クロックの立ち上がりエッジを検出すると、DL-START の信号レベルを H レベルに遷移する一方、L レベルの DL-OUT が出力されると、DL-START の信号レベルを L レベルに遷移するセットリセット・フリップフロップ、1 8 はセットリセット・フリップフロップ 1 6 から出力された DL-ACT を入力クロックの立ち上がりエッジに同期させる D-フリップフロップ、1 9 は D-フリップフロップ 1 8 から出力された DL-ACT 又は外部リセットを入力すると、PLL-Reset を出力する OR ゲートである。</sup>

また、2 0 は入力クロックを 2 分周して 2 分周クロックを生成する 2 分周回路、2 1 は 2 分周回路 2 0 により生成された 2 分周クロックの位相と デジタルディレーライン 2 7 から出力された DL-OUT の位相を比較し、その位相差が許容範囲を逸脱している場合には、アップ信号又はダウン信号を出力する位相比較器、2 2 は OR ゲート 1 9 から PLL-Reset が出力されるとカウンタ値をゼロリセットし、位相比較器 2 1 からアップ信号又はダウン信号が出力されると、カウンタ値をインクリメント又はデクリメントするカウンタ、2 3 はカウンタ 2 2 におけるカウンタ値の上位 7 bit をデコードし、96 bit の制御信号を出するデコーダ、2 4 はカウンタ 2 2 におけるカウンタ値の下位 3 bit をデコードし、8 bit の制御信号を出するデコーダである。

また、25はANDゲート30から出力された遅倍クロックを遅延する固定のdelay素子、26はデコーダ24から出力された制御信号にしたがって細かく遅倍クロックを遅延するデジタルディレイライン、27はデコーダ23から出力された制御信号にしたがって粗く遅倍クロックを遅延するデジタルディレイライン、29はDL-STARTがHレベルになると、デジタルディレイライン27から出力されたDL-OUTを強制的にHレベルに遷移するORゲート、30はDL-ACTがLレベルになると、リングオシレータを閉じるためDL-OUTを強制的にLレベルに遷移するANDゲート、31は位相比較器21が位相の一致を検出するとロック検出信号を出力し、ORゲート19からPLL-Resetが出力されるとロック検出信号の出力を中止するLock検出器である。

なお、delay素子25、デジタルディレイライン26、27、ORゲート29及びANDゲート30からリングオシレータが構成されている。

32は入力クロックの位相とドライバ43から出力されたフィードバッククロックの位相を比較し、その位相差が許容範囲を逸脱している場合には、アップ信号又はダウン信号を出力する位相比較器、33は位相比較器32からアップ信号又はダウン信号が出力されると、カウンタ値をインクリメント又はデクリメントするカウンタ、34はカウンタ33におけるカウンタ値の上位5bitをデコードし、32bitの制御信号を出力するデコーダ、35はカウンタ33におけるカウンタ値の下位3bitをデコードし、8bitの制御信号を出力するデコーダ、36はデコーダ35から出力された制御信号にしたがって細かく遅倍クロックを遅延するデジタルディレイライン、37はデコーダ34から出力された制御信号にしたがって粗く遅倍クロックを遅延するデジタルディレイラインである。

また、39は位相同期部12から出力された位相同期クロックのうち、一つおの入力クロックが立ち下がる直前の位相同期クロックを検出し、その位相同期クロックを検出すると、X1RSTを出力するシフトレジスタ、40はシフトレジスタ39からX1RSTが出力されると、その時点を基準にして位相同期クロックを4分周する4分周回路、41は位相同期部12から出力された位相同期クロックに4分周回路40の遅延を付加する固定のdelay素子（遅延付加手段）、42は遅倍数切替信号X1CNTがHレベルの場合には、4分周回路40から出

- 10 -

力された4分周クロックをPLL出力として選択し、遅倍数切替信号X1CNTがLレベルの場合には、delay素子41から出力された位相同期クロックをPLL出力として選択するセレクタ（選択手段）、43はセレクタ42から出力されたPLL出力をフィードバッククロックとして位相比較器32に出力するドライバ、44はセレクタ42から出力されたPLL出力を各ブロックに供給するドライバである。

なお、図3はこの発明の実施の形態1によるクロック生成方法を示すフローチャートである。

次に動作について説明する。

まず、遅倍部11のパルスカウンタ14が、セットリセット・フリップフロップ16からHレベルのDL-ACTが出力されると、図4に示すように、DL-OUT信号の、入力クロックの立ち上がりエッジからみて3クロック目にパルスC3を出力し、4クロック目にパルスC4を出力する（ステップST1）。

そして、遅倍数切替回路15は、遅倍数切替信号X3CNTがHレベルの場合には、入力クロックの周波数を3遅倍するため、パルスC4を受けても出力せず、パルスC3を選択して出力する。一方、遅倍数切替信号X3CNTがLレベルの場合には、入力クロックの周波数を4遅倍するため、パルスC3を受けても出力せず、パルスC4を選択して出力する。

そして、セットリセット・フリップフロップ16は、入力クロックの立ち上がりエッジを検出すると、遅倍クロックの発振を開始するため、DL-ACTの信号レベルをHレベルに遷移する一方、遅倍数切替回路15からパルスC3又はパルスC4が出力されると、設定された遅倍数が確保されたため、DL-ACTの信号レベルをLレベルに遷移する。

これにより、ANDゲート30は、DL-ACTがLレベルになると、リングオシレータを閉じるため、図4に示すように、DL-OUT（遅倍クロック）を強制的にLレベルに遷移する（ステップST2）。

なお、セットリセット・フリップフロップ17は、遅倍クロックが必要以上に遅延された場合には、DL-OUTを強制的にHレベルに遷移する。

一方、2分周回路20が入力クロックを2分周して2分周クロックを生成する

と、ANDゲート30から出力される遅倍クロックの位相を2分周クロックの位相に一致させるため、位相比較器21は、2分周クロックの位相と遅倍クロックの位相を比較し、その位相差が許容範囲内にあるか否かを判断する（ステップST3）。

そして、位相比較器21は、その位相差が許容範囲内にあれば、その遅倍クロックの位相が2分周クロックの位相に一致しているものと判断し、ロック検出信号をLock検出器31に出力するとともに、カウンタ22のカウンタ値を維持する（リングオシレータの遅延時間を維持する）。

なお、ロック検出信号が出力されても、温度その他の影響で、位相差が生じた場合には、後述する位相差が許容範囲を逸脱する場合と同様にして、位相差を解消する処理を実施する。ただし、ロック検出信号が出力されると、ORゲート19からPLL-Resetが出力されない限り、出力が停止されることはない。

一方、その位相差が許容範囲を逸脱している場合には、その遅倍クロックの位相が2分周クロックの位相に一致していないものと判断し、アップ信号又はダウン信号をカウンタ22に出力してカウンタ値を更新する（ステップST4）。

これにより、位相比較器21からアップ信号が出力されたときは、カウンタ22のカウンタ値が1インクリメントされ、ダウン信号が出力されたときは、カウンタ22のカウンタ値が1デクリメントされる。

そして、デコーダ23は、その遅倍クロックの位相を大まかに2分周クロックの位相に近づけるため、カウンタ22におけるカウンタ値の上位7bitをデコードし、96bitの制御信号を出力する。

一方、デコーダ24は、その位相差をできる限り零に近づけるため、カウンタ22におけるカウンタ値の下位3bitをデコードし、8bitの制御信号を出力する。

このようにして、デコーダ24から8bitの制御信号が出力されると、デジタルディレイライン26は、デコーダ24から出力された8bitの制御信号にしたがって細かく遅倍クロックを遅延する（ステップST5）。図5に示すように、デジタルディレイライン26は、遅延時間が僅かに異なるdelay素子が8個並列に接続されており、遅延時間を細かく調整することができる。

- 12 -

一方、デコーダ 23 から 96 bit の制御信号が出力されると、デジタルディレイライン 27 は、デコーダ 23 から出力された 96 bit の制御信号にしたがって粗く遅倍クロックを遅延する（ステップ ST5）。図 5 に示すように、デジタルディレイライン 27 は、遅延時間  $\Delta D$  の delay 素子が 96 個直列接続されており、カウンタ値により選択された delay 素子から遅倍クロックがデジタルディレイライン 27 に取り込まれる。従って、入力位置を変えることで、デジタルディレイライン 27 の遅延時間を 96 段階に調整することができる。

なお、カウンタ 22 の初期値は 1（最小遅延時間）に設定され、カウンタ値は入力クロックの 2 分周毎に 1 ずつ加算される。これにより、図 4 に示すように、デジタルディレイライン 26, 27 による遅延時間が最小遅延時間から徐々に大きくなり、入力クロックの立ち上がりエッジと遅倍クロックの立ち上がりエッジの位相があったところでカウンタ値が固定される。

また、リングオシレータの最大遅延時間は、遅倍クロックの半周期分であるので、遅倍数を大きくし、遅倍クロックの周期を短くすると、delay 素子数を抑制することができる。

そして、位相同期部 12 は Lock 検出器 31 からロック検出信号が出力されると動作を開始するが、ドライバ 43 から出力されるフィードバッククロックの位相を入力クロックの位相に一致させるため、まず、位相比較器 32 は、入力クロックとフィードバッククロックの位相を比較し、その位相差が許容範囲内にあるか否かを判断する（ステップ ST6）。

そして、位相比較器 32 は、その位相差が許容範囲内にあれば、そのフィードバッククロックの位相が入力クロックの位相に一致しているものと判断し、カウンタ 33 のカウンタ値を維持する（デジタルディレイライン 36, 37 の遅延時間を維持する）。

一方、その位相差が許容範囲を逸脱している場合には、そのフィードバッククロックの位相が入力クロックの位相に一致していないものと判断し、アップ信号又はダウン信号をカウンタ 33 に出力してカウンタ値を更新する（ステップ ST7）。

これにより、位相比較器 32 からアップ信号が出力されたときは、カウンタ 3

- 13 -

3のカウンタ値が1インクリメントされ、ダウン信号が出力されたときは、カウンタ3 8のカウンタ値が1デクリメントされる。

ただし、カウンタ3 3の初期値には、ロック検出信号が出力された時点のカウンタ2 2のカウンタ値に基づいて所定の演算を実施した結果を採用する。

そして、デコーダ3 4は、そのフィードバッククロックの位相を大まかに入力クロックの位相に近づけるため、カウンタ3 3におけるカウンタ値の上位5 bitをデコードし、32 bitの制御信号を出力する。

一方、デコーダ3 5は、その位相差をできる限り等に近づけるため、カウンタ3 3におけるカウンタ値の下位3 bitをデコードし、8 bitの制御信号を出力する。

このようにして、デコーダ3 5から8 bitの制御信号が出力されると、デジタルディレイライン3 6は、デコーダ3 5から出力された8 bitの制御信号にしたがって細かく遅倍クロックを遅延する（ステップST8）。デジタルディレイライン3 6の構成はデジタルディレイライン2 6と同様であるため説明を省略する。

一方、デコーダ3 4から32 bitの制御信号が出力されると、デジタルディレイライン3 7は、デコーダ3 4から出力された32 bitの制御信号にしたがって粗く遅倍クロックを遅延する（ステップST8）。デジタルディレイライン3 7の構成はデジタルディレイライン2 7と同様であるため説明を省略するが、delay素子の段数は異なる。

なお、遅倍部1 1におけるリングオシレータの最大遅延時間は、上述したように、遅倍クロックの半周期分であるが、デジタルディレイライン3 6, 3 7の最大遅延時間は、遅倍クロックの一周期分の時間を必要とするため、リングオシレータのデジタルディレイライン2 6, 2 7を構成するdelay素子と同じdelay素子を用いてデジタルディレイライン3 6, 3 7を構成すると、遅倍部1 1の2倍のdelay素子が必要となる。

そこで、デジタルディレイライン3 6, 3 7のdelay素子の遅延時間が、デジタルディレイライン2 6, 2 7のdelay素子の遅延時間より大きくなるように調整するようにしている。

遅延時間を大きくする方法としては、図8に示すように、トランジスタのゲート長を長くしたり、ゲート幅を短くする方法の他に、図6に示すように、Nch CMOSのトランジスタを用いる場合、円内のNch CMOSのゲート電圧を調節して電流を変化させることにより、遅延時間を制御する。

また、図7に示すように、Nch CMOSのトランジスタを用いる場合、円内のNch CMOSのバックゲート電圧を調節して電流を変化させることにより、遅延時間を制御する。

そして、分周回路13は、位相同期部12から出力された位相同期クロックを分周するとともに、PLL出力の位相を入力クロックの位相に一致させるため、まず、シフトレジスタ39は、図9の(b)、(d)、(e)に示すように、位相同期部12から出力された位相同期クロックのうち、一つおきの入力クロックが立ち下がる直前の位相同期クロックの立ち上がりエッジでX1RSTの反転信号のレベルをHレベルにするため(ステップST9)、位相同期クロックの立ち上がりエッジを検出すると、図2に示すように、2分周クロックを逐次次段のフリップフロップに出力するフリップフロップ群に入力する。

そして、4分周回路40は、シフトレジスタ39からX1RSTの反転信号が出力されると、図9の(e)、(f)示すように、X1RSTの反転信号の立ち上がりエッジを基準にして位相同期クロックを4分周し、分周クロックを生成する(ステップST10)。

そして、セレクタ42は、遅倍数切替信号X1CNTがHレベルで4分周を示す場合には、4分周回路40から出力された分周クロックをPLL出力として選択し、遅倍数切替信号X1CNTがLレベルの場合には、delay素子41から出力された位相同期クロック(delay素子41は、位相同期クロックと分周クロックの位相を合わせるため、位相同期クロックに4分周回路40の遅延を付加する)をPLL出力として選択する(ステップST11)。

そして、セレクタ42から出力されたPLL出力は、ドライバ44を介して各ブロックに供給される一方、フィードバッククロックとして位相比較器32に出力される。

以上で明らかなように、この実施の形態1によれば、位相同期部12から出力

された位相同期クロックのうち、一つおきの入力クロックが立ち下がる直前の位相同期クロックを検出すると、その検出時点を基準にして位相同期クロックを分周するように構成したので、フィードバッククロック（分周クロック）と入力クロックの位相差が遅倍クロックの一周期を越えずに済むようになり、その結果、delay 素子等の増加を招くことなく、遅倍数の小さなPLL出力を生成する（すなわち、出力クロックの周波数を下げる）ことができる効果を奏する。

### 実施の形態2.

上記実施の形態1では、入力クロックと同周期のPLL出力を生成するため、位相同期クロックを4分周するものについて示したが、これに限るものではなく、例えば、同様の方法でn遅倍クロックを生成して、m分周するようにすれば、n/m遅倍のPLL出力を得ることができる。

なお、4分周回路40をm分周回路に置換すれば、位相同期部12のデジタルディレイライン36, 37の長さは、PLL出力の周期の1/mに収まる。

### 【発明の効果】

以上のように、この発明によれば、位相同期手段により位相が遅延された遅倍クロックのうち、特定の遅倍クロックを検出すると、その検出時点を基準にして遅倍クロックを分周するように構成したので、分周クロックと入力クロックの位相差が遅倍クロックの一周期を越えずに済むようになり、その結果、delay 素子等の増加を招くことなく、遅倍数の小さなPLL出力を生成することができる効果がある。

この発明によれば、位相同期手段により位相が遅延された遅倍クロックのうち、特定の遅倍クロックを検出すると、その検出時点を基準にして遅倍クロックを分周するとともに、位相同期手段により位相が遅延された遅倍クロックに分周手段の遅延を付加するように構成したので、delay 素子等の増加を招くことなく、遅倍数の小さなPLL出力を生成することができるとともに、遅倍クロックをPLL出力として出力することができるようになる効果がある。

この発明によれば、分周手段により生成された分周クロック又は遅延付加手段により遅延が付加された遅倍クロックの何れか一方をPLL出力として選択するように構成したので、必要に応じてPLL出力の遅倍数を変更することができる

効果がある。

この発明によれば、遙倍数切替信号にしたがって遙倍数を切り替えるように構成したので、必要に応じてP L I出力の遙倍数を変更することができる効果がある。

この発明によれば、遙倍クロックのパルス数をカウントし、そのパルス数が遙倍数に一致すると、リングオシレータにおける遙倍クロックの生成処理を停止するように構成したので、入力クロックから遙倍クロックを生成することができる効果がある。

この発明によれば、 $n$ 遙倍クロックを生成して、 $n$ 遙倍クロックを $m$ 分周するように構成したので、 $n/m$ 遙倍のP L I出力を得ることができる効果がある。

この発明によれば、ゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整するように構成したので、リングオシレータの遅延時間を容易に調整することができる効果がある。

この発明によれば、バックゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整するように構成したので、リングオシレータの遅延時間を容易に調整することができる効果がある。

この発明によれば、ゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整するように構成したので、位相同期手段の遅延時間を容易に調整することができる効果がある。

この発明によれば、バックゲート電圧が変化すると電流が変化するトランジスタから構成されたデジタルディレイラインを用いて遅延時間を調整するように構成したので、位相同期手段の遅延時間を容易に調整することができる効果がある。

この発明によれば、位相を遅延した遙倍クロックのうち、特定の遙倍クロックを検出すると、その検出時点を基準にして遙倍クロックを分周するように構成したので、分周クロックと入力クロックの位相差が遙倍クロックの一周期を越えずに済むようになり、その結果、d e l a y 素子等の増加を招くことなく、遙倍数の小さなP L I出力を生成することができる効果がある。

この発明によれば、位相を遅延した遙倍クロックのうち、特定の遙倍クロック

- 17 -

を検出すると、その検出時点を基準にして遅倍クロックを分周するとともに、その位相を遅延した遅倍クロックに分周処理の遅延を付加するように構成したので、delay 素子等の増加を招くことなく、遅倍数の小さなP L L出力を生成することができるとともに、遅倍クロックをPLL出力として出力することができるようになる効果がある。

この発明によれば、遅倍数切替信号にしたがって遅倍数を切り替えるように構成したので、必要に応じてPLL出力の遅倍数を変更することができる効果がある。

#### 【図面の簡単な説明】

【図1】 この発明の実施の形態1によるクロック生成回路を示す構成図である。

【図2】 実施の形態1の分周回路13の詳細構成を示す構成図である。

【図3】 この発明の実施の形態1によるクロック生成方法を示すフローチャートである。

【図4】 実施の形態1の遅倍部11の各種信号のタイミングチャートである。

【図5】 実施の形態1のデジタルディレイライン26および27の詳細構成を示す構成図である。

【図6】 実施の形態1のdelay 素子の詳細構成を示す構成図である。

【図7】 実施の形態1のdelay 素子の詳細構成を示す構成図である。

【図8】 実施の形態1のdelay 素子の詳細構成を示す構成図である。

【図9】 実施の形態1の全体動作を示すタイミングチャートである。

【図10】 従来のクロック生成回路を示す構成図である。

【図11】 各種信号のタイミングチャートである。

#### 【符号の説明】

11 遅倍部（遅倍手段）、12 位相同期部（位相同期手段）、13 分周回路（分周手段）、41 delay 素子（遅延付加手段）、42 セレクタ（選択手段）。

【書類名】 要約書

【要約】

【課題】 遅倍クロックの遅倍数を小さくすると、その分だけデジタルディレイライン8の最大遅延時間を長くしなければならず、多数のde1ay素子とデコーダを設置する必要が生じるが、de1ay素子とデコーダは占有面積が大きいため、遅倍クロックの遅倍数を小さくすると、回路規模が大きくなり、ひいてはチップのコストアップを招く課題があった。

【解決手段】 遅倍手段(11)と、位相同期手段(12)と、分周手段(13)とを備えたクロック生成回路。遅倍手段(11)は、入力クロックの周波数を遅倍して、遅倍クロックを生成する。位相同期手段(12)は、入力クロックと分周クロックとの間の位相差を検出し、遅倍手段により生成された遅倍クロックの位相を位相差に対応する分量だけ遅延して、位相が入力クロックの位相に一致する位相同期クロックを生成する。分周手段(13)は、位相同期クロックのうち、特定のパルスを固定周期毎に検出し、そのパルスを基準にして位相同期クロックを分周し、分周クロックを生成する。特に、分周手段(13)は、入力パルスの立ち下がりエッジの直前の位相同期パルスを特定のパルスとして検出し、それを基準として位相同期クロックを分周する。これによって、入力クロックと位相同期クロックとの位相差を小さくでき、デジタルディレイライン8の最大遅延時間を短くできる。

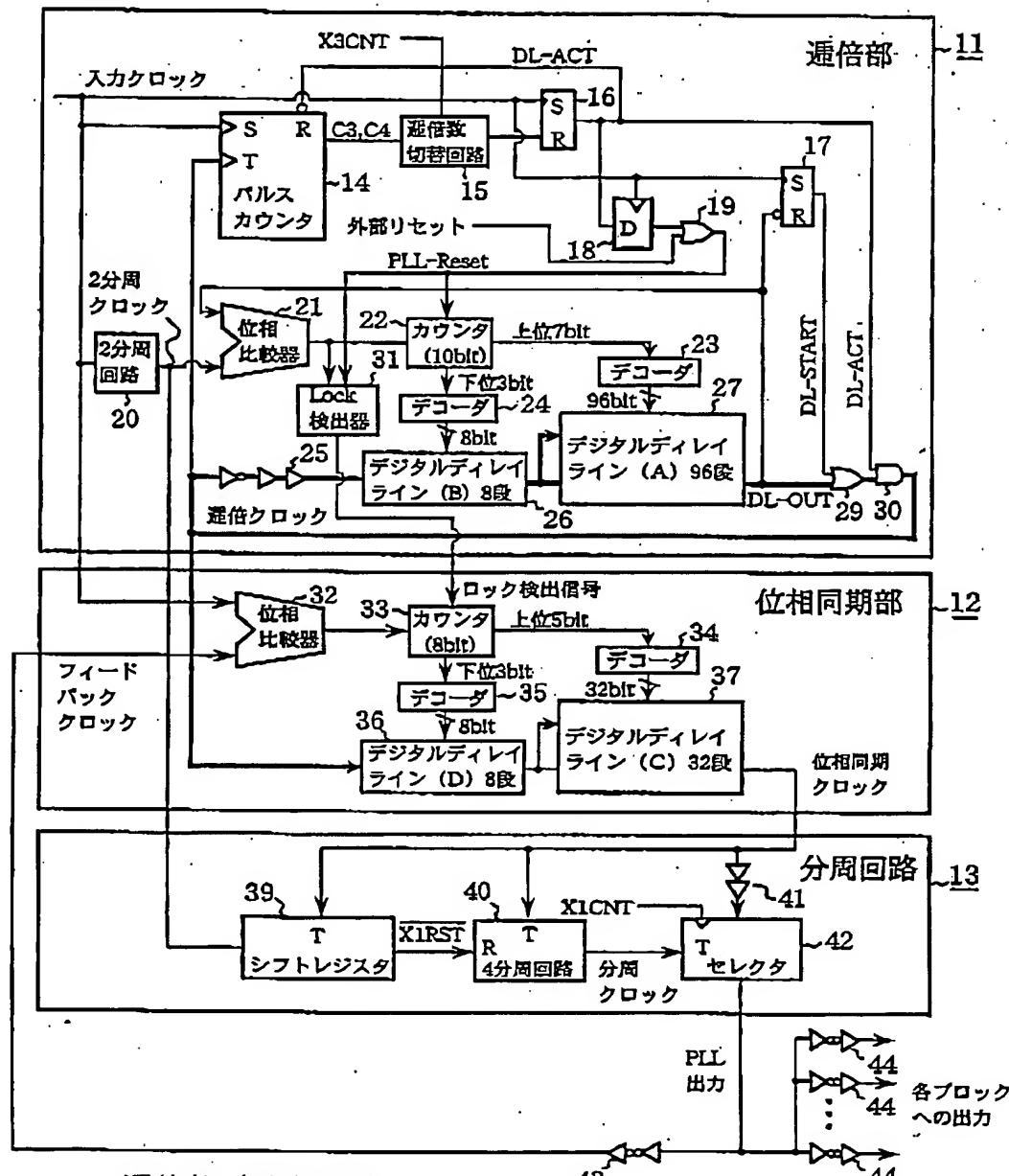
【選択図】 図1

整理番号 50873401

ページ (1 / 10)

87117701

【書類名】 図面  
【図 1】



11: 遅倍部 (遅倍手段)

43

12: 位相同期部 (位相同期手段)

13: 分周回路 (分周手段)

41: de1ay 素子 (遅延付加手段)

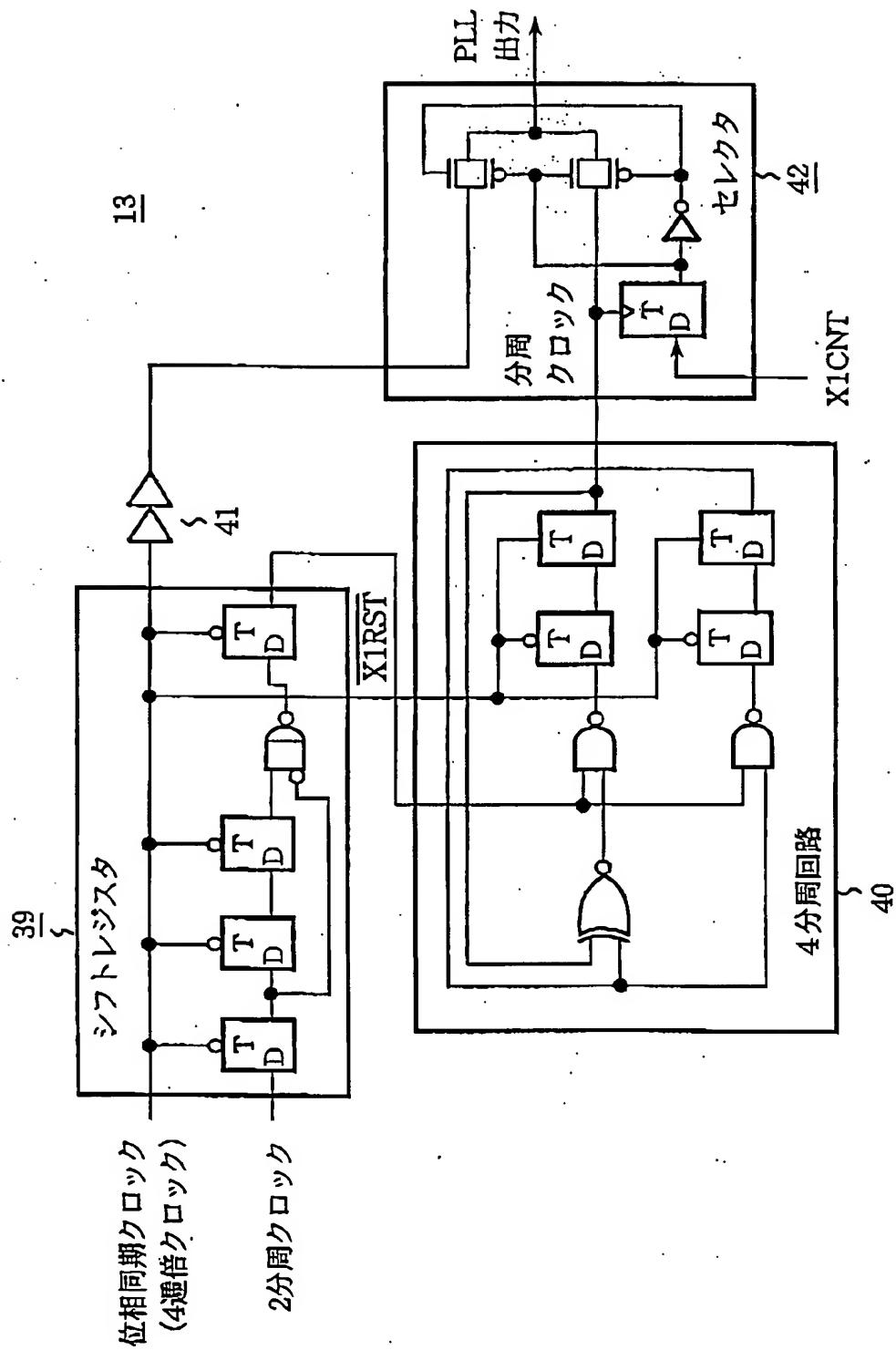
42: セレクタ (選択手段)

各ブロック  
への出力

整理番号 50873401

ページ ( 2 / 10 )

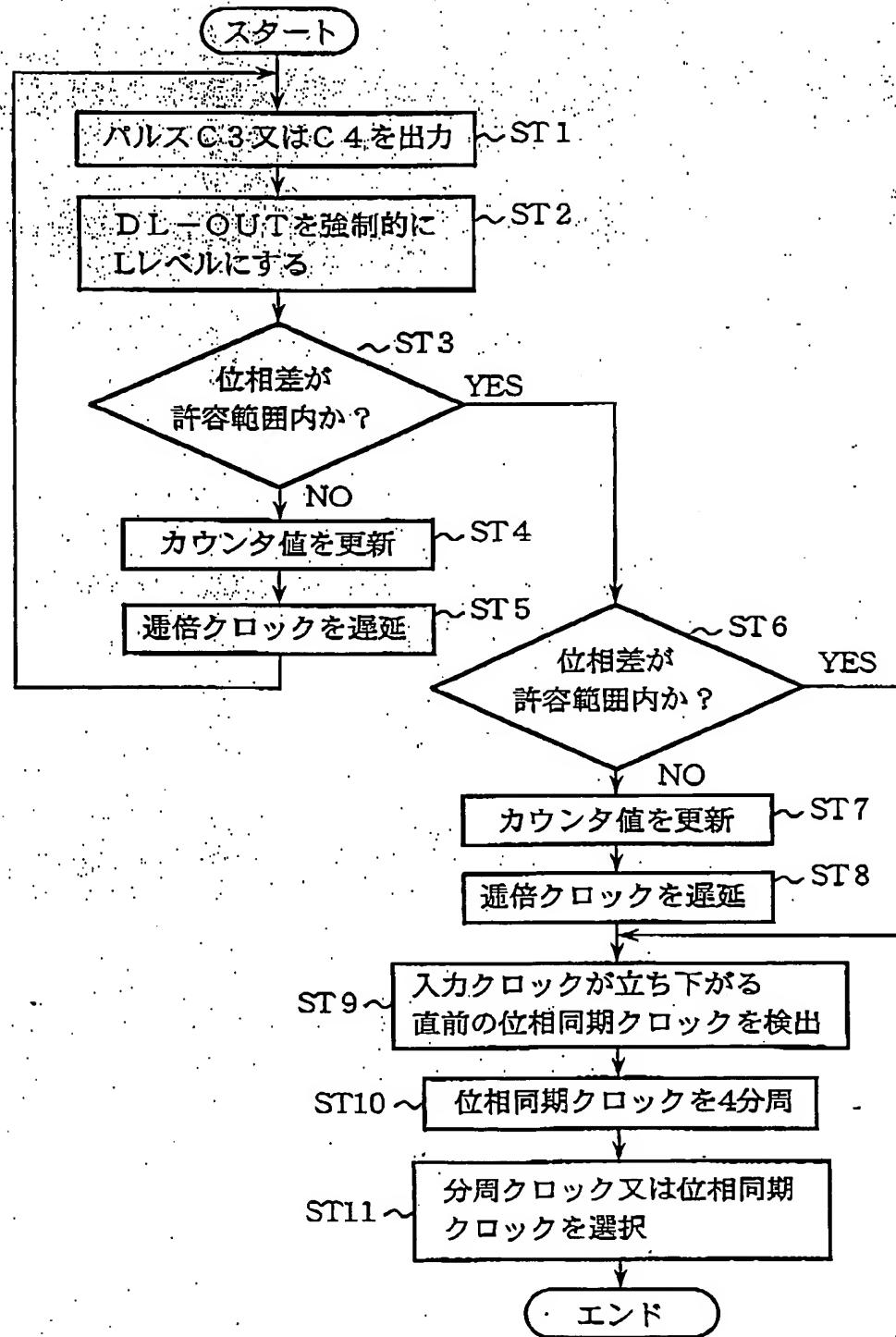
【図 2】



整理番号 50873401

ページ(3 / 10)

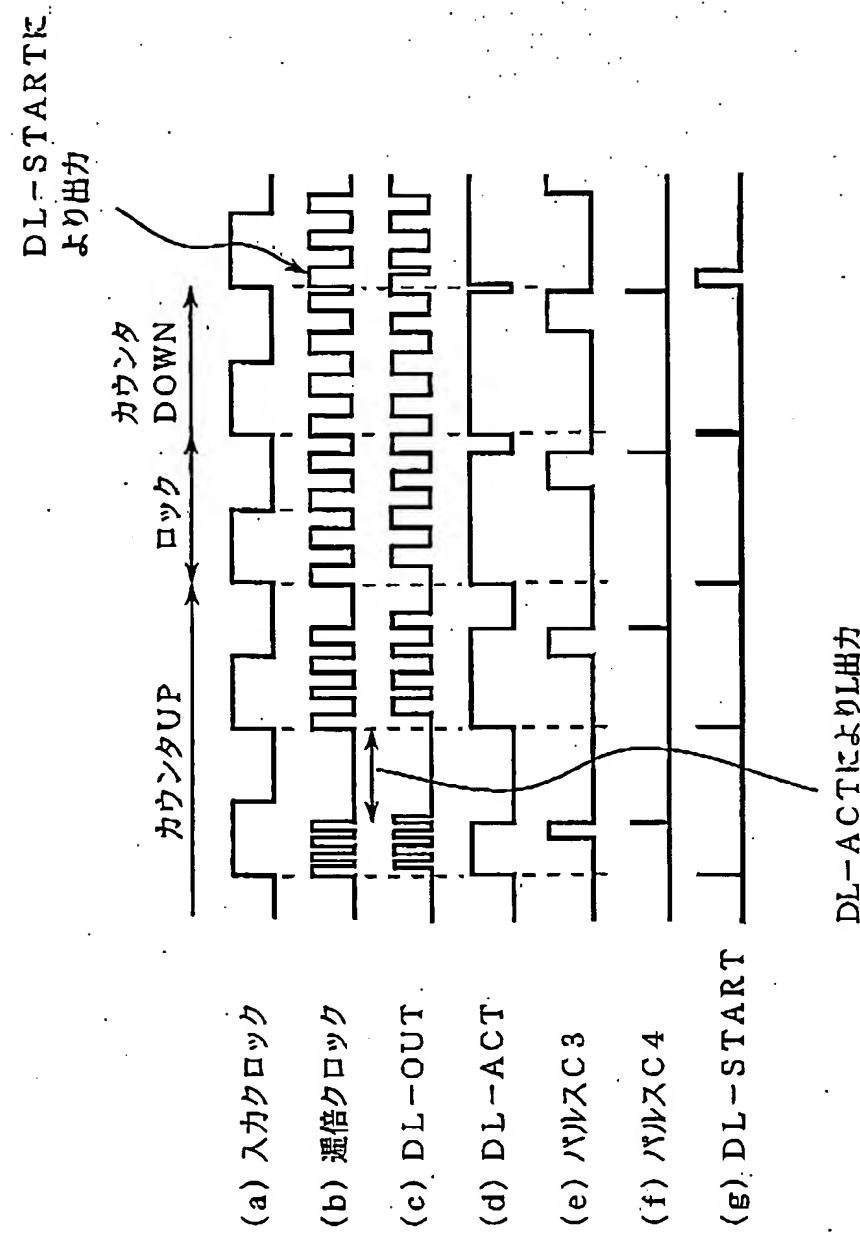
【図 3】



整理番号 50873401

ページ(4 / 10)

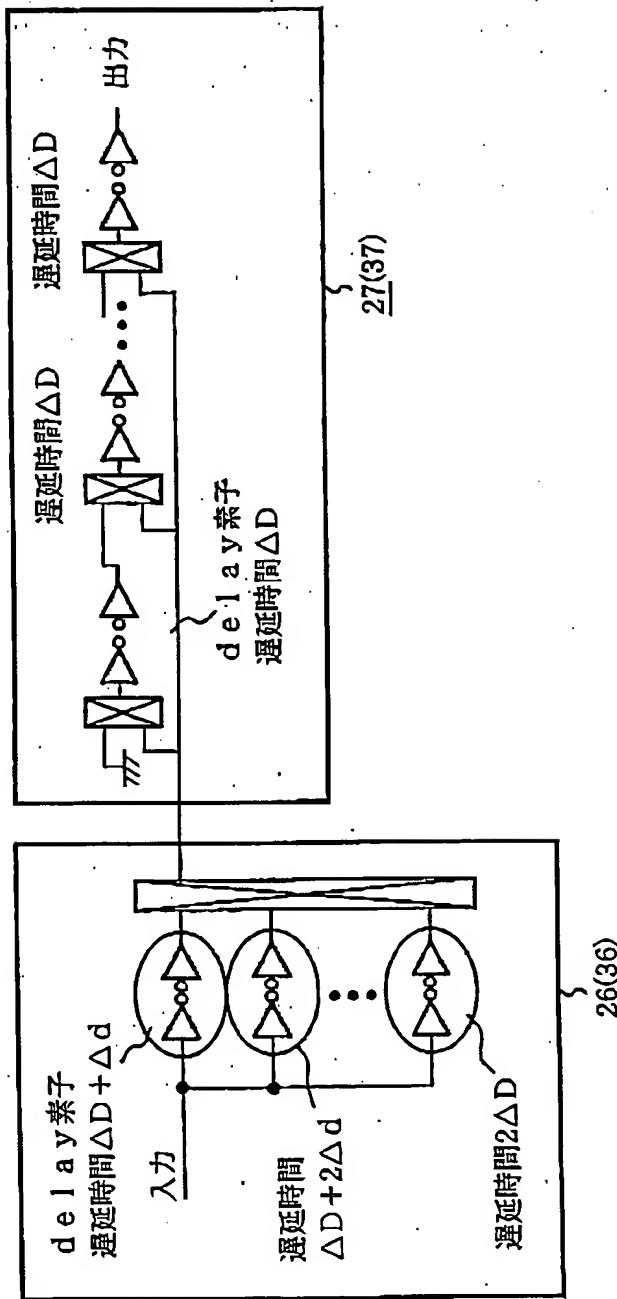
[図 4]



整理番号 50873401

ページ(5 / 10)

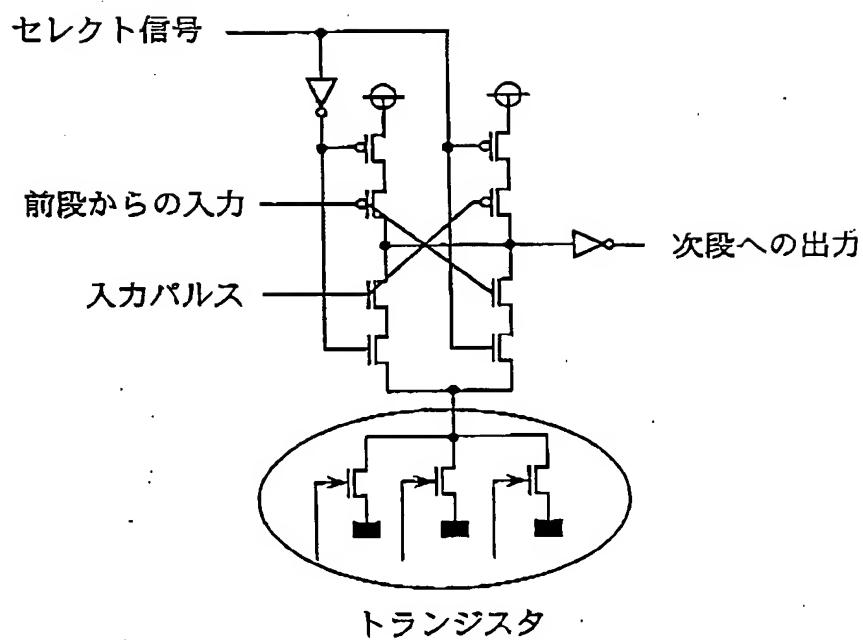
[図 5]



整理番号 50873401

ページ(6 / 10)

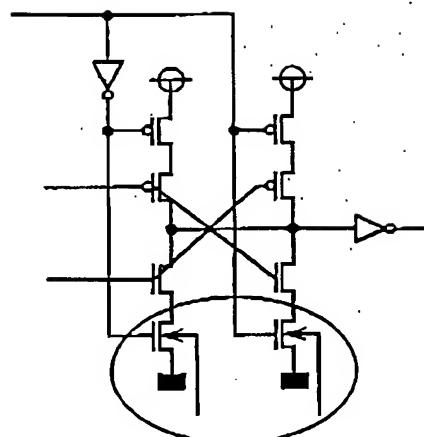
【図 6】



整理番号 50873401

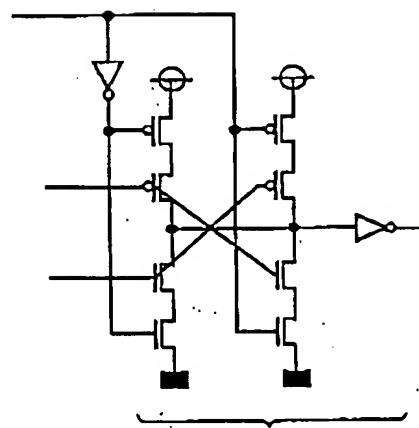
ページ(7 / 10)

【図 7】



トランジスタ

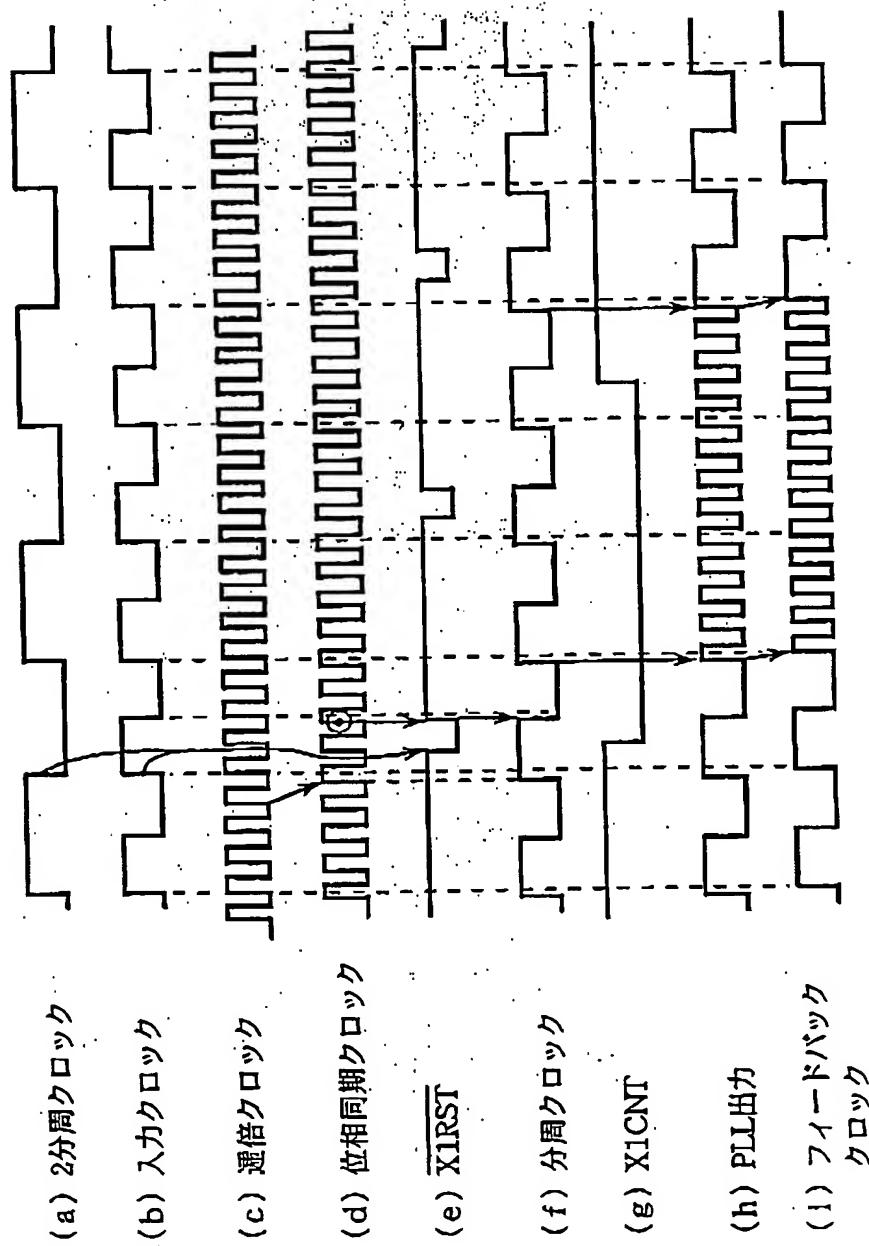
【図 8】

ゲート長の長い  
またはゲート幅の  
短いトランジスタ

整理番号 50873401

ページ(8 / 10)

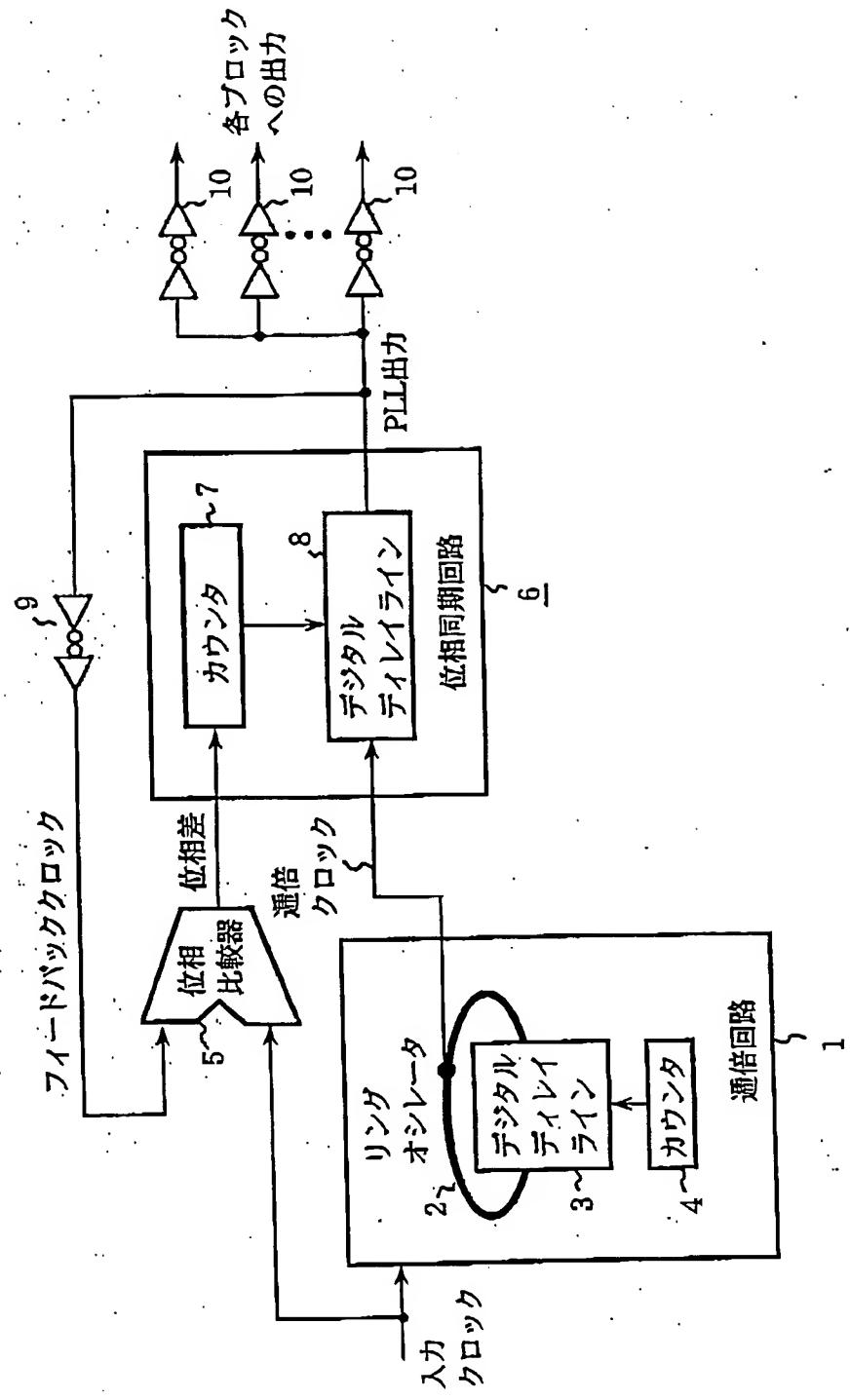
【図 9】



整理番号 50873401

ページ (9 / 10)

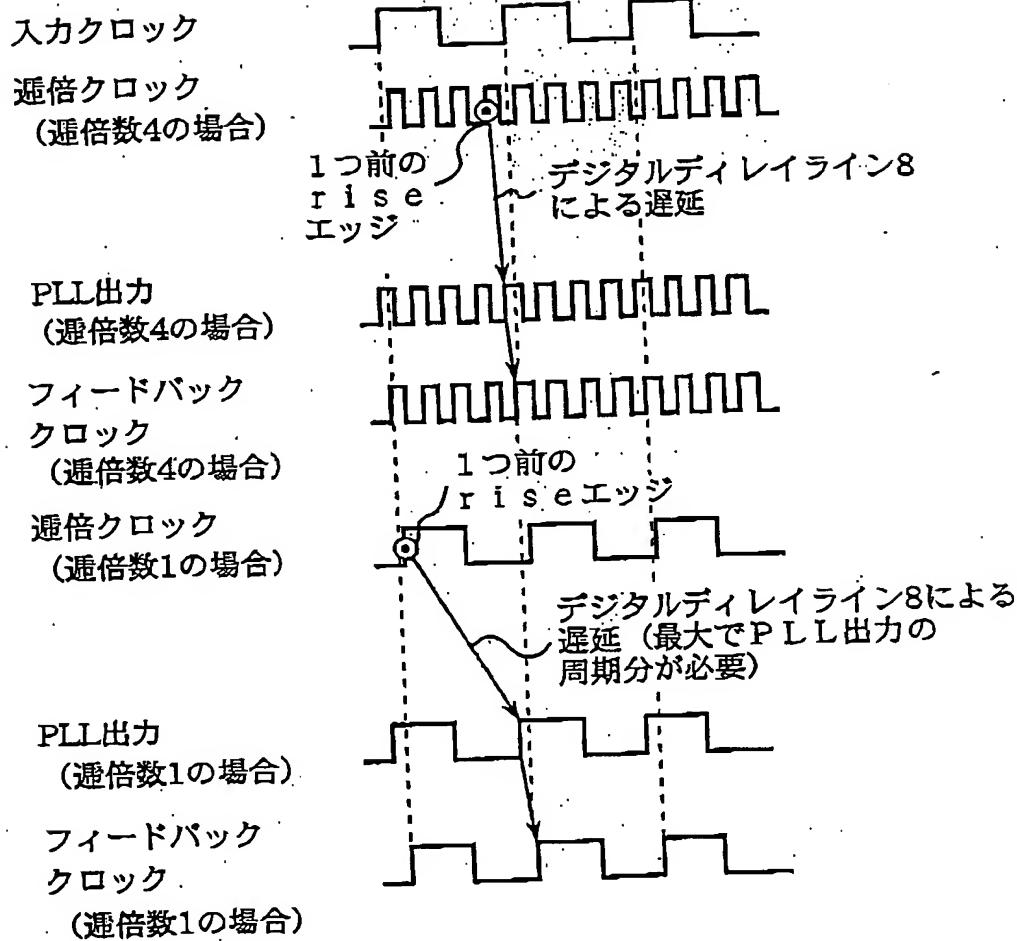
[図 10]



整理番号 50873401

ページ (10 / 10)

【図 11】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**